

EF

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-086220

(43)Date of publication of application : 30.03.1989

(51)Int.Cl.

G05F 1/10

(21)Application number : 62-242442

(71)Applicant : NEC CORP

(22)Date of filing : 29.09.1987

(72)Inventor : FUKUSHIMA KAORU

## (54) FEEDING-BACK CIRCUIT

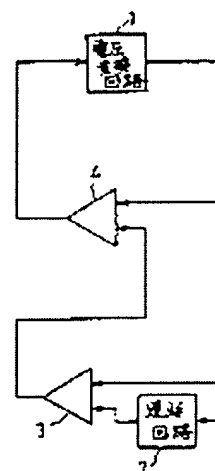
## (57)Abstract:

PURPOSE: To attain the automatic control to the optimum value of a circuit by providing a delaying circuit and a voltage comparing circuit at a voltage converting circuit having a secondary function characteristic.

CONSTITUTION: A voltage converting circuit 1 to output a voltage converted by a prescribed converting function for an input voltage is composed of a non-control circuit having a secondary function output voltage in accordance with an input control voltage. A delaying circuit 2 to delay for a constant time for the input voltage delays the output voltage while the output of the

converting circuit 1 is connected to the input. By a voltage comparing circuit 3, the output of the voltage converting circuit 1 is connected to one side input

terminal, the output of the delaying circuit 2 is connected to other side input terminal, both output voltages are compared and the size is decided. For a differential amplifying circuit 4, the output of the voltage converting circuit 1 is connected to one side input terminal, the output of the voltage comparing circuit 3 is connected to other side input terminal and the action direction of a control voltage is determined. The output of the circuit 4 is connected to the input of the voltage converting circuit 1. Thus, the output voltage for the input voltage is automatically controlled to the optimum value of the circuit having an optimum value.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

EF

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-86220

⑬ Int. Cl.<sup>4</sup>

G 05 F 1/10

識別記号

3 0 2

庁内整理番号

Z-7319-5H

⑭ 公開 昭和64年(1989)3月30日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 帰還回路

⑯ 特 願 昭62-242442

⑰ 出 願 昭62(1987)9月29日

⑱ 発 明 者 福 島 薫 東京都港区芝5丁目33番1号 日本電気株式会社内  
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
 ⑳ 代 理 人 弁理士 山川 政樹 外2名

明 細 書

1. 発明の名称

帰 還 回 路

2. 特許請求の範囲

入力電圧に対して所定の変換関数で変換された電圧を出力する電圧変換回路の出力を差動増幅回路と電圧比較回路の各一方の入力端子および遅延回路の入力にそれぞれ接続し、前記遅延回路の出力を前記電圧比較回路の他方の入力端子に接続し、この電圧比較回路の出力を前記差動増幅回路の他方の入力端子に接続し、この差動増幅回路の出力を前記電圧変換回路の入力に接続したことを特徴とする帰還回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は電圧制御回路に係り、特に入力電圧に対して出力電圧が最適値をもつ回路の最適値への自動制御を実現するための帰還回路に関するものである。

〔従来の技術〕

従来、この種の制御は、電圧変換回路の変換関数が直線的なもののみに対し自動制御が可能であつたが、最適値をもつ、すなわち、2次関数的なものに対しては自動制御が困難であつた。

〔発明が解決しようとする問題点〕

上述した従来の電圧制御回路では、直線的な電圧制御、すなわち、制御電圧に対して出力電圧が直線的に変化し、かつその中のある一定電圧になるよう制御することは可能であつた。

しかし、制御電圧に対して出力電圧が2次関数的に変化し、かつその最小電圧または最大電圧になるような制御ができないという問題点があつた。

〔問題点を解決するための手段〕

本発明の帰還回路は、入力電圧に対して所定の変換関数で変換された電圧を出力する電圧変換回路の出力を差動増幅回路と電圧比較回路の各一方の入力端子および遅延回路の入力にそれぞれ接続し、上記遅延回路の出力を上記電圧比較回路の他方の入力端子に接続し、この電圧比較回路の出力を上記差動増幅回路の他方の入力端子に接続し、

この差動増幅回路の出力を上記電圧変換回路の入力に接続するようにしたものである。

#### 〔作用〕

本発明においては、2次関数的な特性を有する電圧変換回路の出力電圧の最小値または最大値に制御する。すなわち、入力電圧に対して出力電圧が最適値をもつ回路の最適値への自動制御を行う。

#### 〔実施例〕

以下、図面に基づき本発明の実施例を詳細に説明する。

第1図は本発明の一実施例を示すブロック図である。

図において、1は入力電圧に対して所定の変換関数で変換された電圧を出力する電圧変換回路で、この電圧変換回路1は入力制御電圧に応じ2次関数的な出力電圧をもつ非制御回路である。2は入力電圧に対し一定時間遅延する遅延回路で、この遅延回路2は電圧変換回路1の出力が入力に接続され電圧変換回路1の出力電圧を遅延するものである。3は電圧変換回路1の出力が一方の入力端

子に接続され遅延回路2の出力が他方の入力端子に接続され、電圧変換回路1の出力電圧と遅延回路2の出力電圧を比較してその大小を判定する電圧比較回路、4は電圧変換回路1の出力が一方の入力端子に接続され電圧比較回路3の出力が他方の入力端子に接続され電圧比較回路3からの比較電圧に応じて制御電圧の動作方向を決める差動増幅回路で、この差動増幅回路の出力は電圧変換回路1の入力に接続されている。

第2図は第1図の動作説明に供する各部の電圧と時間の関係を示す説明図で、横軸に時間 $t$ (秒)、縦軸に各部の電圧 $V$ をとつて表わした第1図の動作状態を示すグラフである。この第2図において、 $V_A$ は電圧変換回路1の出力電圧を示し、 $V_B$ は遅延回路2の出力電圧、 $V_C$ は電圧比較回路3の出力電圧、 $V_D$ は差動増幅回路4の出力電圧を示している。

つぎに、第1図に示す実施例の動作を第2図を参照して説明する。

まず、時間0(零)のときにスタートして、電圧

- 3 -

変換回路1の出力電圧 $V_A$ が電圧比較回路3の出力電圧 $V_C$ よりも大きく、その結果、差動増幅回路4の出力電圧 $V_D$ が下り、電圧変換回路1の出力電圧 $V_A$ が下つたとすると、時間 $T_1$ 遅れて遅延回路2の出力電圧 $V_B$ も下る。

つぎに、差動増幅回路4の出力電圧 $V_D$ が下り続けて電圧変換回路1の出力電圧 $V_A$ が最小値を通り越して上り始め、 $V_A > V_B + a$ の状態となつたとき、電圧比較回路3の出力電圧 $V_C$ が切り替り、電圧が高くなる。そして、 $V_C > V_A$ となるため、差動増幅回路4の出力電圧 $V_D$ の変動方向は反転し、上り始める。以後、これを繰り返すことによつて、電圧変換回路1の出力電圧 $V_A$ が最小になるように制御系は安定する。

#### 〔発明の効果〕

以上の説明から明らかなように、本発明によれば、複雑な手段を用いることなく、従来回路に遅延回路と電圧比較回路を追加した簡単な構成によつて、2次関数的な特性を有する電圧変換回路の出力電圧の最小値または最大値に制御できる効果

- 4 -

がある。

#### 4. 図面の簡単な説明

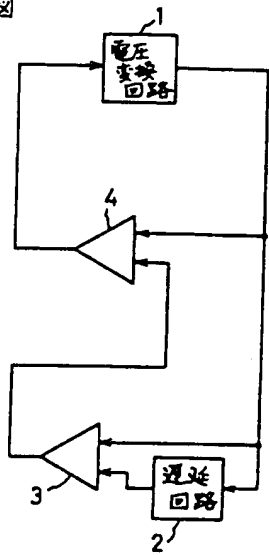
第1図は本発明の一実施例を示すブロック図、第2図は第1図の動作説明に供する各部の電圧と時間の関係を示す説明図である。

- 1 ……電圧変換回路、 2 ……遅延回路、  
3 ……電圧比較回路、 4 ……差動増幅回路。

特許出願人 日本電気株式会社

代理人 山川政樹(ほか2名)

第 1 圖



第 2 圖

